

T. YL/10-2000-0043546

(19) 大韓民国特許庁 (KR)

(12) 公開特許公報 (A)

(51) Int. Cl.⁶

(11) 公開番号 : 特 2000-0043546

H01L 21/336

(43) 公開日付 : 2000 年 07 月 15 日

(21) 出願番号 10-1998-0059944

(22) 出願日付 1998 年 12 月 29 日

(71) 出願人 現代電子産業株式会社

(72) 発明者 ジャン セ オク、ヨ イン ソク

(74) 代理人 ガン ソン ベ

審査請求 : あり

(54) 半導体素子のゲート電極形成方法

要約

本発明はドーピングされたポリシリコン膜とチタニウムシリサイド膜からなるゲート電極表面を再酸化する時、チタニウムシリサイド膜の非正常的酸化を防止することができる半導体素子のゲート電極形成方法を開示する。開示された本発明は、半導体基板上にゲート酸化膜、ポリシリコン膜及びチタニウムシリサイド膜及びマスク膜を順に積層する段階と、上記マスク膜、チタニウムシリサイド膜、ポリシリコン膜及びゲート酸化膜を所定部分エッチングしてゲート電極を形成する段階と、上記半導体基板表面及びゲート電極表面にシリコン膜を被覆する段階と、上記ゲート電極側壁にのみシリコンが存在するようにシリコン膜を非等方性エッチングする段階、及び上記半導体結果物表面を再酸化する段階を含む。

代表図

図 2g

図面の簡単な説明

図 1a～図 1e は従来の半導体素子のゲート電極形成方法を説明するための各工程別断面図。

図 2a～図 2g は本発明の一実施例による半導体素子のゲート電極形成方法を説明するための各工程別断面図。

図 3a～図 3f は本発明の他の実施例による半導体素子のゲート電極形成方法を説明するための各工程別断面図。

図 4a～図 4e は本発明の他の実施例による半導体素子のゲート電極形成方法を説明するための各工程別断面図。

<図面の主要部分に対する符号の説明>

11、21：半導体基板	12、22：ゲート酸化膜
13、23：ポリシリコン膜	15：チタニウムシリサイド膜
16、26：マスク膜	17：シリコン膜
18：酸化膜	24：拡散防止膜
25：高融点金属薄膜	27：シリコンスペーサ
28：熱酸化膜	30：酸化膜スペーサ

発明がなそうとする技術的課題

しかし、上記再酸化工程時、ポリシリコン膜が酸化される速度と、チタニウムシリサイド膜が酸化される速度が互いに顕著に異なることによって、ポリシリコン膜(3)側壁に形成された酸化膜(7)の厚さとチタニウムシリサイド膜(5)側壁に形成された酸化膜(7)の厚さが互いに異なる。

特に、ゲート電極の伝導性を決定するチタニウムシリサイド膜(5)はポリシリコン膜(3)より酸化速度が非常に速く、図 1e のように、ポリシリコン膜が所定厚さだけ反応に参加する時、チタニウムシリサイド膜(5)の大部分が酸化反応に参

与するようになる。

これによって、ゲート電極を構成するチタニウムシリサイド膜の線幅が相当減少し、ゲート電極の伝導特性を確保し難い。

従って、本発明の目的はドーピングされたポリシリコン膜とチタニウムシリサイド膜からなるゲート電極表面を再酸化するとき、チタニウムシリサイド膜の非正常的な酸化を防止することができる半導体素子のゲート電極形成方法を提供するものである。

発明の効果

以上、詳細に説明された通り、本発明によれば、ポリシリコン膜とチタニウムシリサイド膜の積層膜でゲート電極を形成した後、再酸化工程を実施する前にゲート電極の側壁にシリコン膜を形成し、再酸化工程時にゲート電極の側壁ではシリコン膜のみが酸化されるようにする。これによって、再酸化工程時にチタニウムシリサイド膜の急激な酸化を防止することができ、チタニウムシリサイドの線幅を維持することができるので、ゲート電極の伝導特性が維持される。

(57)請求の範囲

請求項 1. 半導体基板上にゲート酸化膜、ポリシリコン膜、高融点導電層及びマスク膜を順に積層する段階；

上記マスク膜、高融点導電層、ポリシリコン膜及びゲート酸化膜を所定部分エッチングしてゲート電極を形成する段階；

上記半導体基板表面及びゲート電極表面にシリコン膜を被覆する段階；

上記ゲート電極側壁にのみシリコンが存在するようにシリコン膜を非等方性エッチングする段階；及び

上記半導体結果物表面を再酸化する段階を含むことを特徴とする半導体素子のゲート電極形成方法。

請求項 2. 第 1 項において、上記高融点導電層はチタニウムシリサイド膜であることを特徴とする半導体素子のゲート電極形成方法。

특 2000-0043546

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/336	(11) 공개번호 (43) 공개일자	특2000-0043546 2000년07월15일
(21) 출원번호	10-1998-0059944	
(22) 출원일자	1998년12월29일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 장세억 경기도 이천시 부발읍 신하리 481-1 삼익아파트104-1210호 여인석 경기도 성남시 분당구 서현동 한신아파트 124-202호 강성배	
(74) 대리인		

심사청구 : 있음

(54) 반도체 소자의 게이트 전극 형성방법

요약

본 발명은 도핑된 폴리실리콘막과 티타늄 실리사이드막으로 된 게이트 전극 표면을 재산화 할 때, 티타늄 실리사이드막의 비정상적인 산화를 방지할 수 있는 반도체 소자의 게이트 전극 형성방법을 개시한다. 개시된 본 발명은, 반도체 기판상에 게이트 산화막, 폴리실리콘막 및 티타늄 실리사이드막 및 마스크막을 순차적으로 적층하는 단계와, 상기 마스크막, 티타늄 실리사이드막, 폴리실리콘막 및 게이트 산화막을 소정 부분 식각하여 게이트 전극을 형성하는 단계와, 상기 반도체 기판 표면 및 게이트 전극 표면에 실리콘막을 피복하는 단계와, 상기 게이트 전극 측벽에만 실리콘이 존재하도록 실리콘막을 비등방성 식각하는 단계, 및 상기 반도체 결과를 표면을 재산화하는 단계를 포함한다.

도표도

도2a

영세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.
도 2a 내지 도 2g는 본 발명의 일실시예에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.
도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.
도 4a 내지 도 4e는 본 발명의 또 다른 실시예에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11,21 - 반도체 기판	12,22 - 게이트 산화막
13,23 - 폴리실리콘막	15 - 티타늄 실리사이드막
16,26 - 마스크막	17 - 실리콘막
18 - 산화막	24 - 확산 방지막
25 - 고용점 금속 박막	27 - 실리콘 스페이서
28 - 열산화막	30 - 산화막 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 게이트 전극 형성방법에 관한 것으로, 보다 구체적으로는 폴리실리콘막과 티타늄 실리사이드막의 적층구조로 이루어진 게이트 전극의 형성방법에 관한 것이다.

일반적으로, 게이트 전극은 모스 트랜지스터를 선택하는 전극으로서, 주로 불순물이 도핑된 폴리실리콘막으로 형성되거나 또는 불순물이 도핑된 폴리실리콘막과 텅스텐 실리사이드막(WSi₂)의 적층막으로 형성된다.

그러나, 상기한 불순물이 도핑된 폴리실리콘막과 불순물이 도핑된 폴리실리콘막/텅스텐 실리사이드막은 낮은 집적도를 갖는 반도체 소자에는 용이하게 사용되나, 현재의 고집적 반도체 소자의 미세 게이트 전극으로는 낮은 저항값 특성을 만족시키지 못하여, 이를 사용하는데 어려움이 있다.

이에 종래에는 텅스텐 실리사이드막보다 전도 특성이 우수한 티타늄 실리사이드막(TiSi₂)을 폴리실리콘막 상부에 적층하여 게이트 전극을 형성하는 방법이 제안되었는데, 이에 대하여 첨부도면 도 1a 내지 도 1e를 참조하여 설명한다.

도 1a를 참조하여, 반도체 기판(1) 상부에 게이트 산화막(2)을 열성장 또는 증착 방식에 의하여 형성한다음, 게이트 산화막(2) 상부에 불순물이 도핑된 폴리실리콘막(3)을 소정두께로 증착한다.

그후, 도 1b에 도시된 바와 같이, 폴리실리콘막(3) 상부에 물리적 증착 방식으로 티타늄 실리사이드막(4)을 증착한다. 이때, 증착시 티타늄 실리사이드막(4)은 비정질 상태이다.

그다음, 도 1c에 도시된 바와 같이, 기판 결과물을 소정 온도에서 수초동안 급속 열처리 공정(rapid thermal process)을 실시하여, 비정질 상태의 티타늄 실리사이드막(4)을 결정질 상태의 티타늄 실리사이드막(5)으로 상변화시킨다.

이어서, 도 1d에 도시된 바와 같이, 티타늄 실리사이드막(5) 상부에 희생막(6)으로 산화막 또는 질화막을 증착한다. 이어, 공지의 포토리소그래피 방식을 이용하여 희생막(6)과 티타늄 실리사이드막(5), 도핑된 폴리실리콘막(3) 및 게이트 절연막(2)을 식각하여, 게이트 전극을 형성한다.

다음으로, 도 1e에 도시된 바와 같이, 게이트 전극 형성을 위한 식각 공정시, 막을 표면에 발생된 데미지(damage) 및 식각 잔재물을 제거하고, 게이트 산화막(2)의 신뢰성을 회복하기 위하여, 게이트 전극이 형성된 기판(1) 결과물을 재산화(re-oxidation)한다. 이러한 재산화 공정은 소정의 온도 예를들면 800 °C 이상의 온도에서 열산화하는 것으로, 이 재산화 공정에 의하여 노출된 기판(1) 표면, 게이트 산화막(2), 폴리실리콘막(3) 및 티타늄 실리사이드막(5) 측벽 부분에 산화막(7)이 형성된다. 그 다음, 도면에는 제시되지 않았지만, 재산화에 의하여 형성된 산화막(7)을 선택적으로 제거하여, 데미지 및 식각 잔재물을 제거하고, 게이트 산화막의 신뢰성을 회복한다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 재산화 공정시, 폴리실리콘막이 산화되는 속도와, 티타늄 실리사이드막이 산화되는 속도가 서로 현저하게 다름으로 인하여, 폴리실리콘막(3) 측벽에 형성된 산화막(7)의 두께와 티타늄 실리사이드막(5) 측벽에 형성된 산화막(7)의 두께가 서로 상이하다.

특히, 게이트 전극의 전도성을 결정하는 티타늄 실리사이드막(5)은 폴리실리콘막(3) 보다 산화 속도가 매우 빨라서, 도 1e와 같이, 폴리실리콘막이 소정 두께만큼 반응에 참여할때, 티타늄 실리사이드막(5)의 대부분이 산화 반응에 참여하게 된다.

이로 인하여, 게이트 전극을 구성하는 티타늄 실리사이드막의 선폭이 상당히 감소하여, 게이트 전극의 전도 특성을 확보하기 어렵다.

따라서, 본 발명의 목적은 도핑된 폴리실리콘막과 티타늄 실리사이드막으로 된 게이트 전극 표면을 재산화할 때, 티타늄 실리사이드막의 비정상적인 산화를 방지할 수 있는 반도체 소자의 게이트 전극 형성방법을 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명은 반도체 기판상에 게이트 산화막, 폴리실리콘막 및 티타늄 실리사이드막 및 마스크막을 순차적으로 적층하는 단계와, 상기 마스크막, 티타늄 실리사이드막, 폴리실리콘막 및 게이트 산화막을 소정 부분 식각하여 게이트 전극을 형성하는 단계와, 상기 반도체 기판 표면 및 게이트 전극 표면에 실리콘막을 피복하는 단계와, 상기 게이트 전극 측벽에만 실리콘이 존재하도록 실리콘막을 비등방성 식각하는 단계, 및 상기 반도체 결과물 표면을 재산화하는 단계를 포함한다.

여기서, 상기 게이트 전극을 형성하는 단계와, 상기 실리콘막을 피복하는 단계 사이에, 상기 티타늄 실리사이드막의 측벽을 소정 폭만큼 제거하는 공정을 추가로 포함한다. 이때, 티타늄 실리사이드막은 희석된 HF 용액 또는 희석된 BOE 용액에 담그어 측벽 부분을 제거하고, 상기 티타늄 실리사이드막의 측벽은 20 내지 100 Å 정도 제거함이 바람직하다.

또한, 상기 티타늄 실리사이드막은 티타늄 실리사이드 타겟을 이용하여 물리적 증착방식으로 형성하며, 티타늄 실리사이드 타겟은 실리콘과 티타늄의 몰비가 2.0 내지 2.5 이다.

또한, 상기 티타늄 실리사이드막을 증착하는 단계 이후에, 상기 티타늄 실리사이드막을 결정질화하기 위한 열처리 공정을 더 수행함이 바람직하고, 상기 열처리 공정은 700 내지 900 °C에서 10초 내지 60초 동안 진행함이 바람직하다.

또한, 상기 게이트 산화막은 30 Å 이상으로 증착함이 좋다.

본 발명에 의하면, 폴리실리콘막과 티타늄 실리사이드막의 적층막으로 게이트 전극을 형성한다음, 재산화

공정을 실시하게 전에 게이트 전극의 측벽에 실리콘막을 형성하여, 재산화 공정시 게이트 전극의 측벽에서는 실리콘막만이 산화되도록 한다. 이에 따라, 재산화 공정시 티타늄 실리콘사이드막의 급격한 산화를 방지할 수 있어, 티타늄 실리콘사이드의 선폭을 유지할 수 있으므로, 게이트 전극의 전도 특성이 유지된다.

(실시예)

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

첨부한 도면 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도이고, 도 3a 내지 도 3f는 본 발명의 다른 실시예에 따른 반도체 소자의 게이트 전극 형성방법을 설명하기 위한 각 공정별 단면도이다.

먼저, 도 2a를 참조하여, 반도체 기판(11) 상부에 게이트 산화막(12)을 공지의 열성장 또는 증착 방식에 의하여 형성한 다음, 게이트 산화막(12) 상부에 비저항이 낮은 폴리실리콘막, 즉, 불순물이 도핑된 폴리실리콘막(13)을 소정 두께로 증착한다. 이때, 게이트 산화막(12)은 후속의 공정을 위하여, 약 30 Å 이상으로 증착함이 바람직하다. 또한, 폴리실리콘막(13)은 LPCVD(low pressure chemical vapor deposition) 방식으로 형성된다.

그후, 도 2b에 도시된 바와 같이, 폴리실리콘막(13) 상부에 티타늄 실리콘사이드 타겟(target)을 이용한 물리적 증착 방식(PVD:physical vapor deposition)으로 티타늄 실리콘사이드막(TiSix)을 증착한다. 이때, 증착시 티타늄 실리콘사이드막은 비정질 상태이다. 그후, 소정 온도 예를들면, 700 내지 900°C의 온도에서 10 초 내지 60 초 동안 열처리를 진행하여 비정질 상태의 티타늄 실리콘사이드막을 결정질 상태의 티타늄 실리콘사이드막(15:TiSi₂)으로 상변화시킨다. 여기서, 물리적 증착시 실리콘과 티타늄의 몰비(Si/Ti)가 2.0 내지 2.5의 조성인 스퍼터 타겟을 사용하며, 티타늄 실리콘사이드막은 500 내지 1000 Å의 두께로 증착한다.

그리고나서, 도 2c에 도시된 바와 같이, 티타늄 실리콘사이드막(15) 상부에 마스크막(16)을 소정 두께로 증착한다. 마스크막(16)은 산화막이거나 질화막일 수 있다. 그후, 공지의 포토리소그라피 방식을 이용하여 마스크막(16) 상부에 게이트 전극 형태의 레지스트 패턴(도시되지 않음)을 형성한 다음, 이 레지스트 패턴을 마스크로 하여, 상기 마스크막(16)을 패터닝한다. 다음, 패터닝된 마스크막(16)을 다시 마스크로 이용하여 티타늄 실리콘사이드막(15), 폴리실리콘막(13) 및 게이트 산화막(12)을 패터닝하여 게이트 전극을 형성한다.

그 다음으로, 도 2d에 도시된 바와 같이, 게이트 전극이 형성된 반도체 기판을 희석된 HF 용액 또는 희석된 BOE(buffered oxide etchant) 용액에 소정 시간 담그며, 티타늄 실리콘사이드막(15)의 측벽을 소정 부분 식각해낸다. 이때, 희석된 HF 용액 또는 희석된 BOE 용액에 담그어지는 시간은 티타늄 실리콘사이드막(15)이 약 20 내지 100 Å 정도 식각되어질 정도이다. 여기서, 상기 티타늄 실리콘사이드막(15)의 식각 속도는 게이트 산화막(12)에 비하여 매우 빠르기 때문에, 상기 희석된 HF 용액 또는 희석된 BOE 용액에 담겨져 있는 동안 게이트 산화막(12)의 가장자리 부분이 거의 식각되지 않고, 혹여 식각이 될 소지를 방지하기 위하여, 게이트 산화막(12)의 두께는 30 Å 이상으로 형성함이 바람직하다.

다음으로, 도 2e에 도시된 바와 같이, 결과를 보면, 즉 반도체 기판(11) 상부 및 게이트 전극 표면에 실리콘막(17)을 형성한다. 실리콘막(17)은 100 Å 이하, 예를들면 10 내지 100 Å 정도로 형성하고, 일부 식각되어진 티타늄 실리콘사이드막(15) 측벽에 실리콘막(17)이 충분히 매립되도록 형성한다. 또한, 이 실리콘막(17)은 도핑된 실리콘막 보다는 상대적으로 산화 속도가 느린 비도핑 실리콘막을 사용함이 바람직하며, 실리콘막의 결정 상태는 박막으로 형성가능한 비정질 실리콘막이 사용됨이 바람직하다.

이어서, 도 2f에 도시된 바와 같이, 실리콘막(17)을 비등방성 식각하여, 게이트 전극 측벽에만 남아있도록 한다. 미설명 부호 17a는 측벽에 남아있는 산화막을 나타낸다.

그 다음, 도 2g에서와 같이, 식각 데미지를 치유하고, 미세하게 남아있는 폴리실리콘 찌거기를 제거하며, 게이트 산화막 바즈백을 통한 게이트 산화막의 신뢰성 향상을 위하여 반도체 기판 표면을 재산화시킨다. 여기서, 상기 재산화 공정은 700 내지 850°C에서, 건식 분위기로 진행되고, 약 20 내지 200 Å 정도의 산화막이 발생될 때까지 재산화를 진행함이 바람직하다. 이때, 상대적으로 산화가 빨리 진행되는 티타늄 실리콘사이드막(15)의 측벽에는 실리콘막(17)이 캡핑(capping)되어 있으므로, 티타늄 실리콘사이드막(15)의 측벽 부분은 산화되지 않게 된다. 또한 본 실시예에서와 같이 재산화 공정을 진행하면 게이트 전극의 측벽에 형성되어 있는 실리콘막(17)만이 산화되어지므로, 산화막(17a)이 고르게 형성된다. 이에 따라, 비정상 산화가 발생되지 않는다.

이하 본 발명의 다른 실시예를 설명하도록 한다.

도 3a에 도시된 바와 같이, 상기 일 실시예와 동일하게, 반도체 기판(11) 상부에 게이트 산화막(12)을 공지의 열성장 또는 증착 방식에 의하여 형성한 다음, 게이트 산화막(12) 상부에 비저항이 낮은 폴리실리콘막, 즉, 불순물이 도핑된 폴리실리콘막(13)을 소정 두께로 증착한다. 이때도, 게이트 산화막(12)은 후속의 공정을 위하여, 약 30 Å 이상으로 증착함이 바람직하며, 이에 대하여는 이하에서 설명될 것이다. 또한, 폴리실리콘막(13)은 LPCVD(low pressure chemical vapor deposition) 방식으로 형성된다.

그후, 도 3b에 도시된 바와 같이, 폴리실리콘막(13) 상부에 티타늄 실리콘사이드 타겟을 이용한 물리적 증착 방식(PVD:physical vapor deposition)으로 티타늄 실리콘사이드막(TiSix)을 증착한다. 이때, 증착시 티타늄 실리콘사이드막은 비정질 상태이다. 그후, 소정 온도 예를들면, 700 내지 900°C의 온도에서 10 초 내지 60 초 동안 열처리를 진행하여 비정질 상태의 티타늄 실리콘사이드막을 결정질 상태의 티타늄 실리콘사이드막(15:TiSi₂)으로 상변화시킨다. 여기서, 물리적 증착시 실리콘과 티타늄의 몰비(Si/Ti)가 2.0 내지 2.5의 조성인 스퍼터 타겟을 사용하며, 티타늄 실리콘사이드막은 500 내지 1000 Å의 두께로 증착한다.

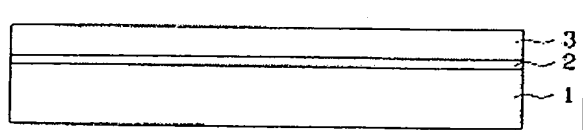
그리고나서, 도 3c에 도시된 바와 같이, 티타늄 실리콘사이드막(15) 상부에 마스크막(16)을 소정 두께로 증착한다. 마스크막(16)은 산화막이거나 질화막일 수 있다. 그후, 공지의 포토리소그라피 방식을 이용하여 마스크막(16) 상부에 게이트 전극 형태의 레지스트 패턴(도시되지 않음)을 형성한 다음, 이 레지스트 패턴을 마스크로 하여, 상기 마스크막(16)을 패터닝한다. 다음, 패터닝된 마스크막(16)을 다시 마스크로 이용

与 2000-0043546

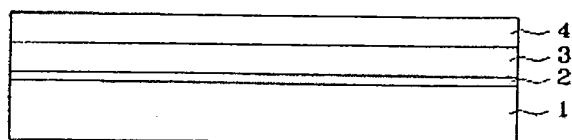
- 상기 반도체 결과물 표면을 재산화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 2. 제 1 항에 있어서, 상기 고융점 도전층은 티타늄 실리사이드막인 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 3. 제 2 항에 있어서, 상기 게이트 전극을 형성하는 단계와, 상기 실리콘막을 피복하는 단계 사이에, 상기 티타늄 실리사이드막의 측벽을 소정 폭만큼 제거하는 공정을 추가로 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 4. 제 3 항에 있어서, 상기 티타늄 실리사이드막은 희석된 HF 용액 또는 희석된 BDE 용액에 담그어 측벽 부분을 제거하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 5. 제 3 항 또는 제 4 항에 있어서, 상기 티타늄 실리사이드막의 측벽은 20 내지 100 Å 정도 제거하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 6. 제 2 항에 있어서, 상기 티타늄 실리사이드막은 티타늄 실리사이드 타겟을 이용하여 물리적 증착방식으로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 7. 제 6 항에 있어서, 상기 티타늄 실리사이드 타겟은 실리콘과 티타늄의 몰비가 2.0 내지 2.5 인 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 8. 제 2 항에 있어서, 상기 티타늄 실리사이드막은 500 내지 1000 Å로 증착하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 9. 제 2 항에 있어서, 상기 티타늄 실리사이드막을 증착하는 단계와 마스크막을 형성하는 단계 사이에, 상기 티타늄 실리사이드막을 결정질화하기 위한 열처리 공정을 더 수행하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 10. 제 9 항에 있어서, 상기 열처리 공정은 700 내지 900 °C에서 10초 내지 60초 동안 진행되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 11. 제 1 항 또는 제 2 항에 있어서, 상기 게이트 산화막은 30 Å 이상으로 증착하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 12. 제 2 항에 있어서, 상기 실리콘막은 10 내지 100 Å 정도로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 13. 제 10 항에 있어서, 상기 실리콘막은 비도핑된 비정질 실리콘막인 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 14. 제 1 항 또는 제 2 항에 있어서, 상기 재산화 공정은 700 내지 850°C의 온도에서 진행되고, 이 재산화 공정에 의하여 산화막이 20 내지 200 Å 정도가 성장되도록 건식 분위기에서 진행되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 15. 제 1 항에 있어서, 상기 고융점 도전층은 텅스텐, 탄탈륨 또는 몰리브덴 중 선택되는 하나로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 16. 제 15 항에 있어서, 상기 고융점 도전층은 500 내지 2000 Å 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 17. 제 15 항에 있어서, 상기 폴리실리콘막을 형성하는 단계와 고융점 도전층을 형성하는 단계 사이에 확산 방지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 18. 제 17 항에 있어서, 상기 확산 방지막은 텅스텐 나이트 라이드 또는 티타늄 나이트 라이드인 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 19. 제 18 항에 있어서, 상기 확산 방지막은 50 내지 300 Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 20. 제 1 항, 제 15 항 및 제 16 항 중 어느 한 항에 있어서, 상기 재산화시키는 단계시, 상기 폴리실리콘 측벽, 확산 방지막 측벽 및 마스크막 측벽에 있는 스페이서 부분은 열산화되고, 고융점 박막 측벽의 스페이서 부분은 실리사이드막으로 변화되는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 21. 제 15 항에 있어서, 상기 재산화하는 단계 이후에, 상기 게이트 전극 및 게이트 전극 측벽의 열산화된 스페이서 부분과 실리사이드화된 스페이서 부분을 마스크로 하여 노출된 반도체 기판내에 소오스, 드레인용 저농도 불순물을 이온 주입하는 단계와, 상기 열산화된 스페이서 부분과 실리사이드화된 스페이서 부분 양측에 산화막으로 된 스페이서를 형성하는 단계와, 상기 산화막으로 된 스페이서를 마스크로 하여 노출된 반도체 기판내에 소오스, 드레인용 고농도 불순물을 이온 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 22. 제 15 항에 있어서, 상기 실리콘막은 50 내지 200 Å 정도의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.
- 청구항 23. 제 1 항에 있어서, 상기 게이트 전극을 형성하는 방법은 상기 마스크막 상부에 게이트 전극용 레지스트 패턴을 형성하는 단계와, 상기 레지스트 패턴을 마스크로 하여, 상기 마스크막을 패터닝하는 단계와, 상기 패터닝된 마스크막을 마스크로 하여 고융점 도전층 및 도핑된 폴리실리콘막을 건식 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 전극 형성방법.

도면

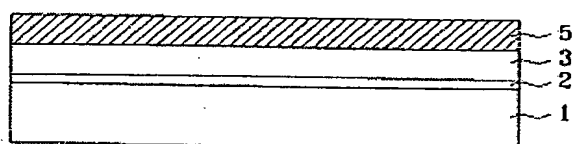
도면a



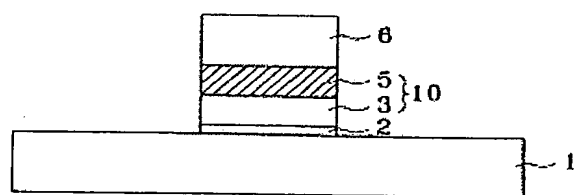
도면b



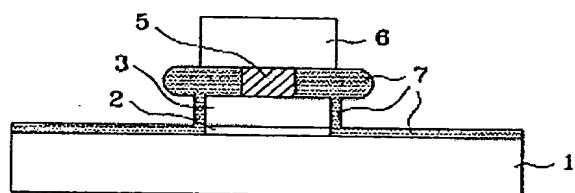
도면c



도면d



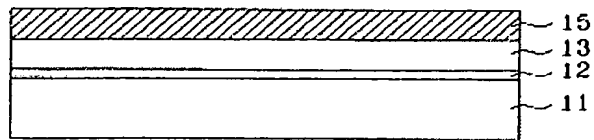
도면e



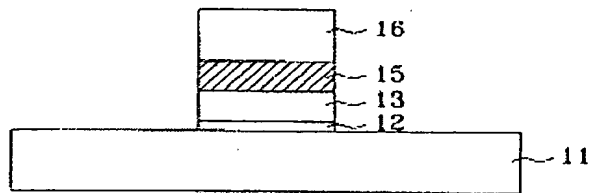
도면f



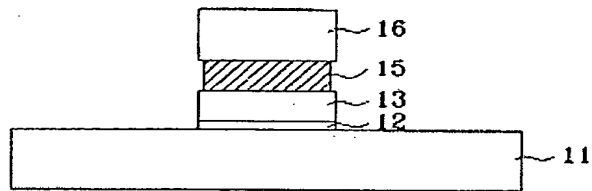
도 12a



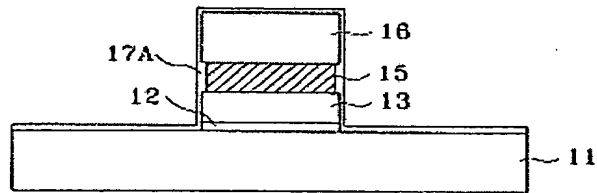
도 12b



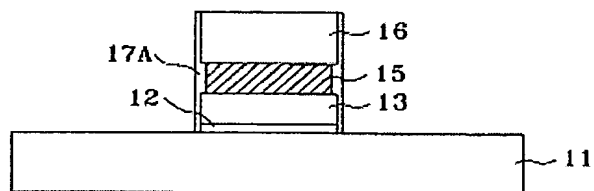
도 12c



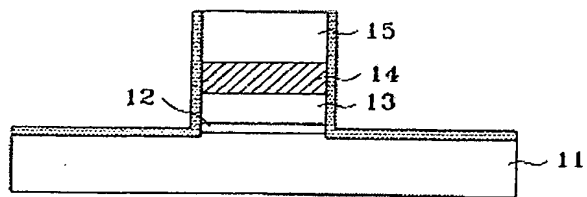
도 12d



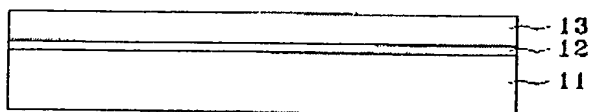
도 12e



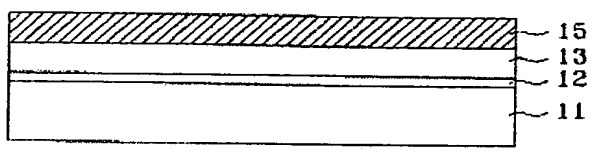
도 29



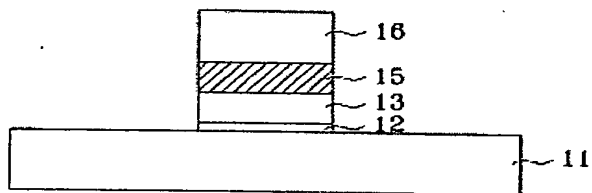
도 30



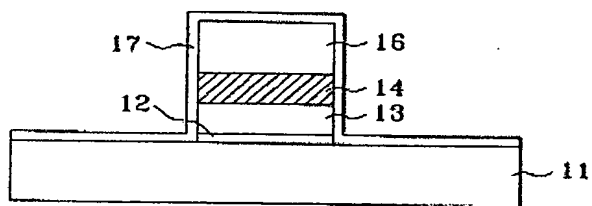
도 31



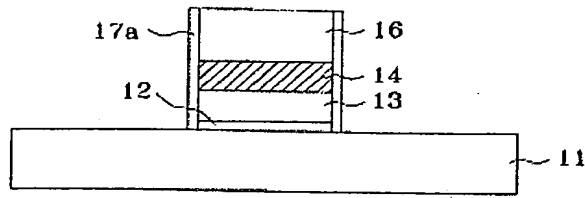
도 32



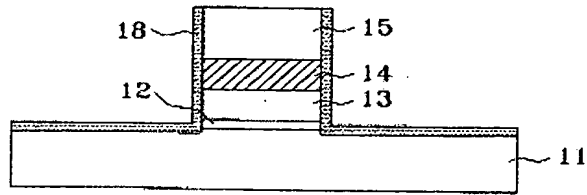
도 33



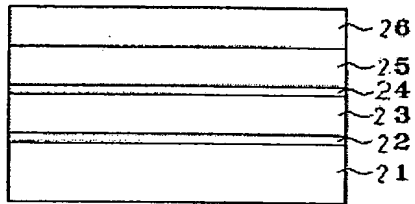
도면3a



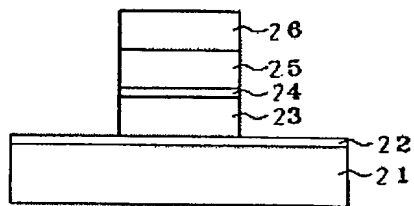
도면3b



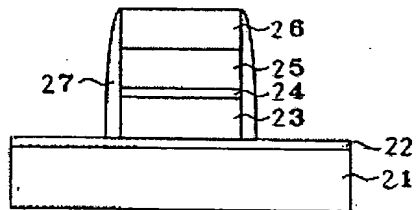
도면4a



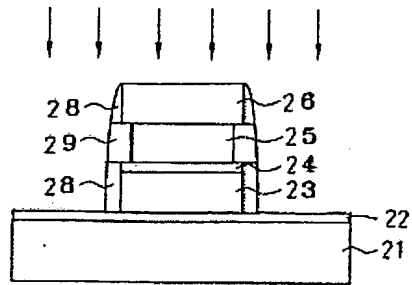
도면4b



도면4c



도 14d



도 14e

